



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11191617 A**(43) Date of publication of application: **13 . 07 . 99**

(51) Int. Cl

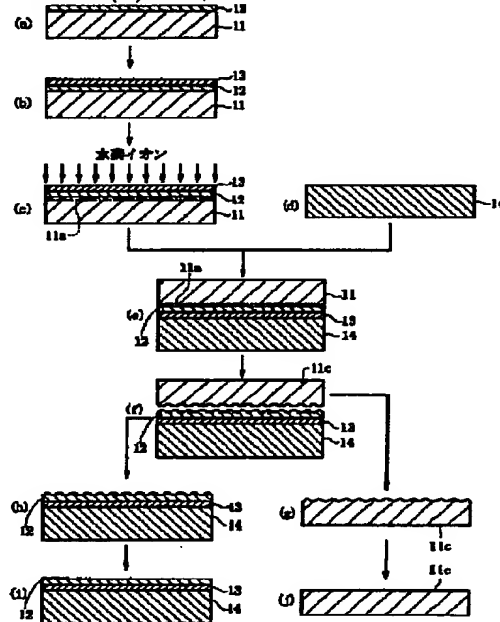
**H01L 27/12****H01L 21/205****H01L 21/265**(21) Application number: **09358759**(22) Date of filing: **26 . 12 . 97**(71) Applicant: **MITSUBISHI MATERIALS SILICON CORP**(72) Inventor: **NAKAJIMA TAKESHI  
SUDO MITSURU  
NAKAI TETSUYA  
TOMIZAWA KENJI**(54) **MANUFACTURE OF SOI SUBSTRATE**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To manufacture a high-yield SOI(silicon-on-insulator) substrate without deteriorating the device characteristics by a method, wherein the crystalline defects in a semiconductor layer formed on an oxide film is lessened and the crystallinity of this semiconductor layer is enhanced.

**SOLUTION:** A monocrystal thin film 12 is formed by epitaxial growth method on the surface of a first silicon substrate 11. Next, an oxide film 13 is formed on the monocrystal thin film 12, then hydrogen ions are implanted from the surface of the first substrate 11 to form an ion-implanted region 11a on the first substrate 11 inside the monocrystal thin film 12. The first substrate 11 is overlapped with a second silicon substrate 14 through the intermediary of the oxide film 13 to be bonded with each other. The first substrate 11 bonded with the second substrate 14 is heat-treated to be separated from the second substrate 14 in the hydrogen ion-implanted region 11a for exposing the monocrystal thin film 12 in the surface of the second substrate 14. The second substrate 14 which has the monocrystal thin film 12 on the surface heat-treated further.

COPYRIGHT: (C)1999,JPO



(51) Int.Cl.<sup>5</sup>

H 0 1 L 27/12

21/205

21/265

識別記号

F I

H 0 1 L 27/12

21/205

21/265

B

Q

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平9-358759

(22) 出願日

平成 9 年 (1997) 12 月 26 日

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目 5 番 1 号

(72) 発明者 中嶋 健

東京都千代田区大手町 1 丁目 5 番 1 号 三

菱マテリアルシリコン株式会社内

(72) 発明者 須藤 充

東京都千代田区大手町 1 丁目 5 番 1 号 三

菱マテリアルシリコン株式会社内

(72) 発明者 中井 哲弥

東京都千代田区大手町 1 丁目 5 番 1 号 三

菱マテリアルシリコン株式会社内

(74) 代理人 弁理士 須田 正義

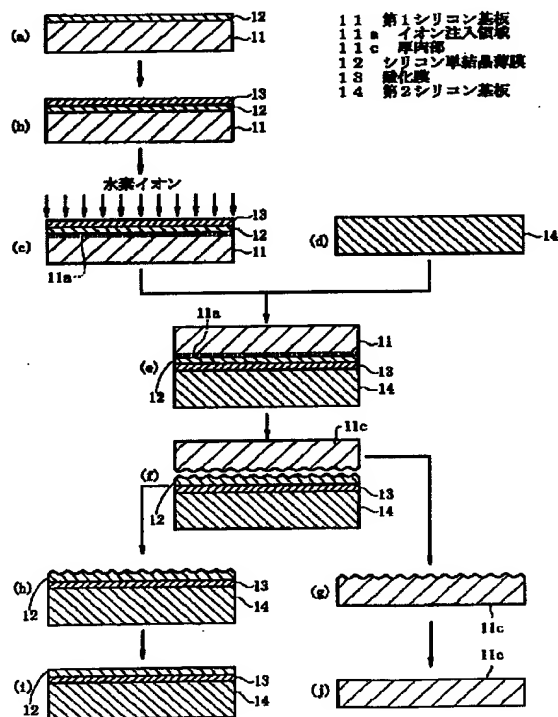
最終頁に続く

## (54) 【発明の名称】 SOI 基板の製造方法

## (57) 【要約】

【課題】 酸化膜上に形成された半導体層に結晶欠陥が少なく、この半導体層の結晶性が高く、これによりデバイスの特性を低下させず、高い歩留りで SOI 基板を製造する。

【解決手段】 第 1 シリコン基板 11 の表面にエピタキシャル成長法によりシリコン単結晶薄膜 12 を形成する。第 1 基板の単結晶薄膜 12 上に酸化膜 13 を形成する。第 1 基板の表面から水素イオンを注入して単結晶薄膜 12 より内部の第 1 基板に水素イオン注入領域 11a を形成する。第 1 基板を酸化膜 13 を介して第 2 シリコン基板 14 に重ね合わせて密着させる。第 1 基板を第 2 基板に密着させたまま熱処理して第 1 基板を水素イオン注入領域 11a で第 2 基板から分離して第 2 基板の表面に単結晶薄膜 12 を露出させる。表面に単結晶薄膜 12 を有する第 2 基板を更に熱処理する。



## 【特許請求の範囲】

【請求項 1】 第 1 シリコン基板 (11) の表面にエピタキシャル成長法によりシリコン単結晶薄膜 (12) を形成する工程と、  
前記第 1 シリコン基板 (11) のシリコン単結晶薄膜 (12) 上に酸化膜 (13) を形成する工程と、  
前記第 1 シリコン基板 (11) の表面から水素イオンを注入して前記シリコン単結晶薄膜 (12) より内部の第 1 シリコン基板 (11) に水素イオン注入領域 (11a) を形成する工程と、  
前記第 1 シリコン基板 (11) を前記酸化膜 (13) を介して支持基板となる第 2 シリコン基板 (14) に重ね合わせて密着させる工程と、  
前記第 1 シリコン基板 (11) を前記第 2 シリコン基板 (14) に密着させたまま所定の温度で熱処理して前記第 1 シリコン基板 (11) を前記水素イオン注入領域 (11a) で前記第 2 シリコン基板 (14) から分離して前記第 2 シリコン基板 (14) の表面に前記シリコン単結晶薄膜 (12) を露出させる工程と、  
表面に前記シリコン単結晶薄膜 (12) を有する前記第 2 シリコン基板 (14) を更に熱処理する工程とを含む S O I 基板の製造方法。

【請求項 2】 第 1 シリコン基板 (11) を室温から 1100～1250℃まで熱処理して前記第 1 シリコン基板 (11) の表面に低酸素濃度・低欠陥密度層 (16) を形成する工程と、  
前記第 1 シリコン基板 (11) の低酸素濃度・低欠陥密度層 (16) 上に酸化膜 (13) を形成する工程と、  
前記第 1 シリコン基板 (11) の表面から水素イオンを注入して前記低酸素濃度・低欠陥密度層 (16) より内部の第 1 シリコン基板 (11) に水素イオン注入領域 (11a) を形成する工程と、  
前記第 1 シリコン基板 (11) を前記酸化膜 (13) を介して支持基板となる第 2 シリコン基板 (14) に重ね合わせて密着させる工程と、  
前記第 1 シリコン基板 (11) を前記第 2 シリコン基板 (14) に密着させたまま所定の温度で熱処理して前記第 1 シリコン基板 (11) を前記水素イオン注入領域 (11a) で前記第 2 シリコン基板 (14) から分離して前記第 2 シリコン基板 (14) の表面に前記低酸素濃度・低欠陥密度層 (16) を露出させる工程と、  
表面に前記低酸素濃度・低欠陥密度層 (16) を有する前記第 2 シリコン基板 (14) を更に熱処理する工程とを含む S O I 基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、絶縁膜上に半導体層を設けた S O I (Silicon On Insulator) 基板の製造方法に関するものである。

## 【0002】

【従来の技術】 この種の S O I 基板は将来の超高集積回路 (U L S I) 基板として注目されてきている。この S O I 基板の製造方法には、①シリコン基板同士を絶縁膜を介して貼り合わせる方法、②絶縁性基板又は絶縁性薄膜を表面に有する基板の上にシリコン薄膜を堆積させる方法、③シリコン基板の内部に高濃度の酸素イオンを注入した後、高温でアニール処理してこのシリコン基板表面から所定の深さの領域に埋込みシリコン酸化層を形成し、その表面側の S i 層を活性領域とする S I M O X 法などがある。また最近、半導体基板に水素イオン等の注入を行った後に、この半導体基板をイオン注入面を重ね合せ面として支持基板に重ね合せ、この積層体を 500℃を越える温度に昇温して上記半導体基板を上記水素イオン等を注入した領域で支持基板から分離し、支持基板の表面に半導体の薄膜を有する薄い半導体材料フィルム

## 【0003】

【発明が解決しようとする課題】 しかし、上記酸化膜上に形成された上記半導体層にはプロセス誘起の欠陥等の結晶欠陥が存在するため、結晶性が劣化し、これに起因して上記方法で製造された S O I 基板は上記半導体層にデバイスを形成した場合、デバイスの特性が低下する問題があった。また結晶欠陥の比較的小さい半導体層を有する S O I 基板を高い歩留りで製造できない不具合があった。本発明の目的は、酸化膜上に形成された半導体層に結晶欠陥が少なく、この半導体層の結晶性が高く、これによりデバイスの特性を低下させず、高い歩留りで S O I 基板を製造する方法を提供することにある。

## 【0004】

【課題を解決するための手段】 請求項 1 に係る発明は、図 1 に示すように、第 1 シリコン基板 11 の表面にエピタキシャル成長法によりシリコン単結晶薄膜 12 を形成する工程と、第 1 シリコン基板 11 のシリコン単結晶薄膜 12 上に酸化膜 13 を形成する工程と、第 1 シリコン基板 11 の表面から水素イオンを注入してシリコン単結晶薄膜 12 より内部の第 1 シリコン基板 11 に水素イオン注入領域 11a を形成する工程と、第 1 シリコン基板 11 を酸化膜 13 を介して支持基板となる第 2 シリコン基板 14 に重ね合わせて密着させる工程と、第 1 シリコン基板 11 を第 2 シリコン基板 14 に密着させたまま所定の温度で熱処理して第 1 シリコン基板 11 を水素イオン注入領域 11a で第 2 シリコン基板 14 から分離して第 2 シリコン基板 14 の表面にシリコン単結晶薄膜 12

を露出させる工程と、表面にシリコン単結晶薄膜12を有する第2シリコン基板14を更に熱処理する工程とを含むSOI基板の製造方法である。図1に示すように、酸化膜13の上側にはこれに密着してエピタキシャル成長法により成長した結晶性の良いシリコン単結晶薄膜12が形成されているため、デバイスの特性を低下させず、高品質のSOI基板を高い歩留りで製造できる。請求項2に係る発明は、図2に示すように、第1シリコン基板11を1100～1250℃の温度で熱処理して第1シリコン基板11の表面に低酸素濃度・低欠陥密度層16を形成する工程と、第1シリコン基板11の低酸素濃度・低欠陥密度層16上に酸化膜13を形成する工程と、第1シリコン基板11の表面から水素イオンを注入して低酸素濃度・低欠陥密度層16より内部の第1シリコン基板11に水素イオン注入領域11aを形成する工程と、第1シリコン基板11を酸化膜13を介して支持基板となる第2シリコン基板14に重ね合わせて密着させる工程と、第1シリコン基板11を第2シリコン基板14に密着させたまま所定の温度で熱処理して第1シリコン基板11を水素イオン注入領域11aで第2シリコン基板14から分離して第2シリコン基板14の表面に低酸素濃度・低欠陥密度層16を露出させる工程と、表面に低酸素濃度・低欠陥密度層16を有する第2シリコン基板14を更に熱処理する工程とを含むSOI基板の製造方法である。

【0005】図2に示すように、酸化膜13の上側にはこれに密着して結晶性の良い低酸素濃度・低欠陥密度層16が形成されているため、デバイスの特性を低下させず、高い品質のSOI基板を高い歩留りで製造できる。

#### 【0006】

【発明の実施の形態】次に本発明の実施の形態を図面に基づいて説明する。図1に示すように、本発明の第1の実施形態のSOI基板を製造するには、先ずp型の第1シリコン単結晶基板11を用意する。この第1基板11はドーパントとしてボロン(B)を使用することにより作製される。第1基板11の表面にエピタキシャル成長法によりシリコン単結晶薄膜12を形成する(図1

(a))。このシリコン薄膜12は0.5～2.5μm、好ましくは0.5～1μmの厚さになるように形成される。次いで、熱酸化法により単結晶薄膜12上に酸化膜13を形成する(図1(b))。この酸化膜13は0.1～1μm、好ましくは0.1～0.4μmの厚さになるように形成される。次いで単結晶薄膜12及び酸化膜13を有する第1基板11の表面から水素イオンを4～10×10<sup>16</sup>/cm<sup>2</sup>のドーズ量及び40～600keVの加速エネルギーでイオン注入する。その結果、単結晶薄膜12より内部の第1基板11中に水素イオン注入領域11aが形成される(図1(c))。次いで第1シリコン基板11と同一表面積を有し、支持基板となるp型の第2単結晶シリコン基板14を用意する(図1

(d))。次いで第1基板11を酸化膜13を介して第2基板14に重ね合わせて密着させる(図1(e))。

【0007】次いで第1基板11を第2基板14に密着させたまま窒素雰囲気中で500～800℃の範囲に昇温し、5～30分保持して薄膜分離熱処理を行う。これにより第1基板11が水素イオンの注入ピーク位置に相当するイオン注入領域11aのところで割れて上部の厚肉部11cと下部の露出した単結晶薄膜12に分離する(図1(f))。次に温度を下げて厚肉部11cを去除(図1(g))。次いで表面に酸化膜13及び単結晶薄膜12が順次積層された第2基板14を酸素又は窒素雰囲気中において900～1200℃で30～120分間熱処理して、単結晶薄膜12と第2基板14とを酸化膜13を介して強固に貼り合わせる(図1(h))。最後に表面に露出した単結晶薄膜12の分離面及び厚肉部11cの分離面をそれぞれ研磨(タッチポリッシング)して平滑化する(図1(i)及び図1(j))。これにより第2基板14はSOI基板となり、厚肉部11cは次のエピタキシャル成長法でシリコン単結晶薄膜を形成するための新たな半導体基板として再び利用できる。

【0008】図2に示すように、本発明の第2の実施形態のSOI基板を製造するには、先ず図1に基づく第1形態の場合と同様にしてp型の第1シリコン単結晶基板11を用意する。次いで第1基板11を水素、アルゴン又は窒素雰囲気中において1100～1250℃で熱処理して第1基板11の表面に低酸素濃度・低欠陥密度層16を形成する(図2(a))。この低酸素濃度・低欠陥密度層16は0.5～10μm、好ましくは0.5～5μmの厚さになるように形成される。熱処理時間は、所望の低酸素濃度・低欠陥密度層16の厚さにより決められる。このようにして形成された低酸素濃度・低欠陥密度層16はその表面近傍において酸素の外方拡散により酸素濃度が低下するため、酸素析出物等の欠陥は発生し難くなる。特にgrown-in欠陥は収縮し、消滅して、その欠陥密度は低下する。熱処理温度が1250℃を超える場合には、形成される低酸素濃度・低欠陥密度層16の表面の平坦度が劣化し、後に第1基板11を第2単結晶シリコン基板14に接合する際の接合強度が低下する。また、熱処理中に重金属不純物等による汚染が起こるため好ましくない。熱処理温度が1100℃未満の場合には低酸素濃度層の形成及びgrown-in欠陥の収縮・消滅が不十分となるため、好ましくない。

【0009】次いで図1に基づく第1の実施形態の場合と同じ工程を繰返して、第1基板11の表面に酸化膜13を形成する(図2(b))。次いで低酸素濃度・低欠陥密度層16及び酸化膜13を有する第1基板11の表面から水素イオンを4～10×10<sup>16</sup>/cm<sup>2</sup>のドーズ量及び40～600keVの加速エネルギーでイオン注入する。その結果、低酸素濃度・低欠陥密度層16より内部の第1基板11中に水素イオン注入領域11aが形

成される(図2(c))。次いで第1シリコン基板11と同一表面積を有し、支持基板となるp型の第2単結晶シリコン基板14を用意する(図2(d))。次いで第1基板11を酸化膜13を介して第2基板14に重ね合わせて密着させる(図2(e))。次いで第1基板11を第2基板14に密着させたまま第1形態と同様の薄膜分離熱処理を行う。これにより第1基板11が水素イオンの注入ピーク位置に相当するイオン注入領域11aのところと割れて上部の厚肉部11cと下部の露出した低酸素濃度・低欠陥密度層16に分離する(図2

(f))。次に温度を下げて厚肉部11cを取除き(図2(g))、表面に酸化膜13及び低酸素濃度・低欠陥密度層16が順次積層された第2基板14を第1形態の場合と同様に熱処理して低酸素濃度・低欠陥密度層16と第2基板14とを酸化膜13を介して強固に貼り合わせる(図2(h))。最後に低酸素濃度・低欠陥密度層16の分離面及び厚肉部11cの分離面をそれぞれ研磨して平滑化する(図2(i)及び図2(j))。これにより表面に酸化膜13及び低酸素濃度・低欠陥密度層16が順次積層された第2基板14からなるSOI基板を得る(図2(i))。

#### 【0010】

【実施例】次に本発明の具体的態様を示すために、本発明の実施例を比較例とともに説明する。

<実施例1>図1(a)に示すように、p型の第1シリコン単結晶基板11の表面にエピタキシャル成長法により厚さ1 $\mu$ mのシリコン単結晶薄膜12を形成した。次いで、熱酸化法により単結晶薄膜12上に厚さ0.4 $\mu$ mの酸化膜13を形成した(図1(b))。次いで第1基板11に70keVの電圧を印加して水素イオンを7 $\times 10^{16}/\text{cm}^2$ のドーズ量でイオン注入して第1基板11内部にイオン注入領域11aを形成した(図1(c))。次いで第1シリコン基板11と同一表面積を有するp型の第2単結晶シリコン基板14を用意し、第1基板11を酸化膜13を介して第2基板14に重ね合わせて密着させた(図1(e))。次いで第1単結晶基板11を第2単結晶基板14に密着させたまま窒素雰囲気中で600℃の温度で30分間熱処理を行った。その結果、第1単結晶基板11がイオン注入領域11aのところと割れて上部の厚肉部11cと下部の露出した単結晶薄膜12に分離した(図1(f))。次に温度を下げて厚肉部11cを取除き(図1(g))、表面に酸化膜13及び単結晶薄膜12が順次積層された第2基板14を窒素雰囲気中において1100℃で1時間熱処理した(図1(h))。最後に単結晶薄膜12の分離面を研磨して平滑化して実施例1のSOI基板を製造した(図1(i))。

\*

\*【0011】<実施例2>図2(a)に示すように、p型の第1シリコン単結晶基板11を水素雰囲気中において1200℃で1時間の熱処理を施し、第1基板11の表面に厚さ5 $\mu$ mの低酸素濃度・低欠陥密度層16を形成した(図2(a))。次いで熱酸化法により低酸素濃度・低欠陥密度層16上に厚さ0.4 $\mu$ mの酸化膜13を形成した(図2(b))。次いで第1基板11に70keVの電圧を印加して水素イオンを7 $\times 10^{16}/\text{cm}^2$ のドーズ量でイオン注入して第1基板11内部にイオン注入領域11aを形成した(図2(c))。次いで第1シリコン基板11と同一表面積を有するp型の第2単結晶シリコン基板14を用意し、第1基板11を酸化膜13を介して第2基板14に重ね合わせて密着させた(図2(e))。次いで第1単結晶基板11を第2単結晶基板14に密着させたまま窒素雰囲気中で600℃の温度で30分間熱処理を行った。その結果、第1単結晶基板11がイオン注入領域11aのところと割れて上部の厚肉部11cと下部の露出した低酸素濃度・低欠陥密度層16に分離した(図2(f))。次に温度を下げて厚肉部11cを取除き(図2(g))、表面に酸化膜13及び低酸素濃度・低欠陥密度層16が順次積層された第2基板14を窒素雰囲気中において1100℃で1時間熱処理した(図2(h))。最後に低酸素濃度・低欠陥密度層16の分離面を研磨して平滑化して実施例2のSOI基板を製造した(図2(i))。

【0012】<比較例1>p型の第1シリコン単結晶基板11の表面にエピタキシャル成長法により厚さ1 $\mu$ mのシリコン単結晶薄膜12を形成しなかったことを除いては実質的に実施例1の方法を繰返して比較例1のSOI基板を製造した。

【0013】<比較評価>実施例1、実施例2及び比較例1のそれぞれのSOI基板についてSOI層における欠陥密度を次の2つの評価方法により調べた。

#### 【0014】評価方法1

各SOI基板から採取したサンプルをSeccoエッチャント(体積比 0.15M-K<sub>2</sub>Cr<sub>2</sub>O<sub>7</sub>:50%HF=1:2)に5秒間攪拌しながら浸した後、50%HFに30分間浸し、欠陥に起因して発生したエッチングピットを光学顕微鏡により観察し、その密度を求めた。

#### 【0015】評価方法2

各SOI基板から採取したサンプルを50%HFに10分間浸し、欠陥に起因して発生したエッチングピットを光学顕微鏡により観察し、その密度を求めた。その結果を下記に示す。

#### 【0016】

#### 【表1】

SOI層の欠陥に起因するエッチングビット密度 (コ/cm<sup>2</sup>)

	実施例 1	実施例 2	比較例 1
評価方法 1	2~5×10 <sup>9</sup>	3~7×10 <sup>9</sup>	3~6×10 <sup>9</sup>
評価方法 2	0.3以下	0.2~0.5	0.7~3

【0017】表1から明らかなように、比較例1に比べて実施例1及び2のエッチングビットの密度は極めて少ないことが判る。

## 【0018】

【発明の効果】以上述べたように、本発明によれば、第1シリコン基板の表面にエピタキシャル成長法によりシリコン単結晶薄膜を形成するか、又は第1基板を1100~1250℃で熱処理して第1基板の表面に低酸素濃度・低欠陥密度層を形成し、上記単結晶薄膜又は低酸素濃度・低欠陥密度層上に酸化膜を形成し、第1基板の表面から水素イオンを注入して前記単結晶薄膜又は低酸素濃度・低欠陥密度層より内部の第1基板に水素イオン注入領域を形成し、第1シリコン基板を前記酸化膜を介して支持基板となる第2シリコン基板に重ね合わせて密着させ、第1基板を第2基板に密着させたまま熱処理して第1基板を水素イオン注入領域で第2基板から分離して第2基板の表面に上記単結晶薄膜又は低酸素濃度・低欠陥密度層を露出させ、表面に前記単結晶薄膜又は低酸素\*

\*濃度・低欠陥密度層を有する第2基板を更に熱処理するようにしたから、結晶欠陥が少なく結晶性の高い半導体層を有するようになり、この半導体層にデバイスを形成した場合、デバイスの特性を低下させない。また高品質のSOI基板を高い歩留りで製造できる。

## 【図面の簡単な説明】

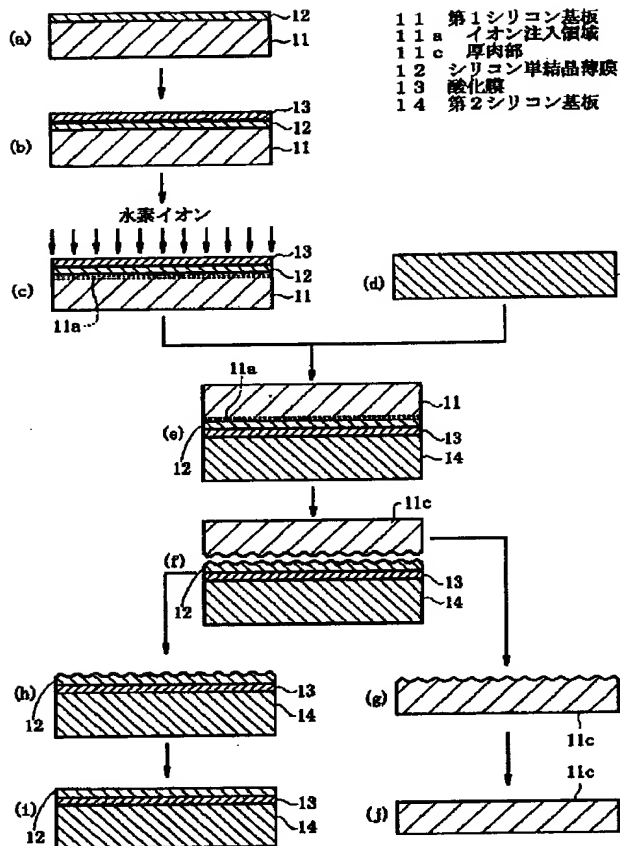
【図1】本発明の第1の実施形態のSOI基板の製造方法を工程順に示す図。

【図2】本発明の第2の実施形態のSOI基板の製造方法を工程順に示す図。

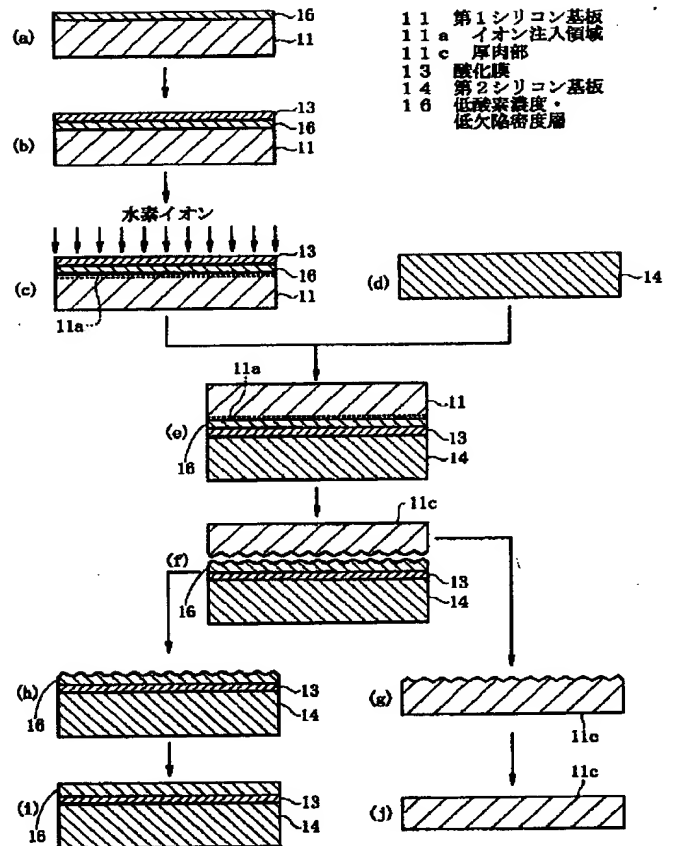
## 【符号の説明】

- 11 第1シリコン基板
- 11a イオン注入領域
- 11c 厚肉部11c
- 12 シリコン単結晶薄膜
- 13 酸化膜
- 14 第2シリコン基板
- 16 低酸素濃度・低欠陥密度層

【図1】



【図2】



フロントページの続き

(72)発明者 富澤 憲治

東京都千代田区大手町1丁目5番1号 三  
菱マテリアルシリコン株式会社内